



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2812
Examiner: Unassigned

In Re PATENT APPLICATION Of:

Applicants : Norihiko SATANI et al.)
Serial No. : 10/648,372)
Filed : August 27, 2003)
For: SEMICONDUCTOR MEMORY DEVICE)
Attorney Ref. : OKI 374)
) **CLAIM FOR PRIORITY**
)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-246711, filed August 27, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,



Steven M. Rabin (Reg. No. 29,102)
RABIN & BERDO, P.C.
(Customer No. 23995)
Telephone: (202) 371-8976
Telefax: (202) 408-0924

November 26, 2003
Date

SMR:dt

FEE ENCLOSED:\$ 0
Please charge any further
fee to our Deposit Account
No. 18-0002

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月27日

出願番号

Application Number:

特願2002-246711

[ST.10/C]:

[JP2002-246711]

出願人

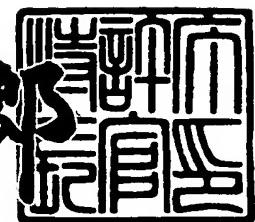
Applicant(s):

沖電気工業株式会社
株式会社 沖マイクロデザイン

2003年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2002-3105323

【書類名】 特許願

【整理番号】 KA003826

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7083番地 株式会社
沖マイクロデザイン内

【氏名】 佐谷 憲彦

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7083番地 株式会社
沖マイクロデザイン内

【氏名】 佐藤 信一郎

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2002-246711

【物件名】 要約書 1

【包括委任状番号】 9001054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態を設定するための試験信号が印加される電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを備えた半導体記憶装置において、

前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力されるデータの信号レベルとは異なるレベルで出力するように構成したことを特徴とする半導体記憶装置。

【請求項2】 前記出力回路は、前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータのハイレベルの電位を所定の電位よりも低い電位で出力することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記出力回路は、前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを反転して出力することを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記出力回路は、前記試験信号と該試験信号に基づいて生成される内部制御信号の両方が正常な論理値であることを判定する第1の論理ゲートと、前記第1の論理ゲートの出力信号に基づいて前記冗長メモリセルから読み出されたデータを反転させて出力する第2の論理ゲートとを備えたことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための第1及び第2の冗長メモリセルと、前記第1及び第2の冗長メモリセルの試験時に外部からそれぞれ試験状態を設定するための試験信号を印加する第1及び第2の電極と、前記メモリセル及び前記第1及び第2の冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において

前記出力回路は、前記第1及び第2の電極にそれぞれの試験信号が与えられて前記第1及び第2の冗長メモリセルに対する試験状態が設定された時に、一定レベルの信号を出力するように構成したことを特徴とする半導体記憶装置。

【請求項6】 前記出力回路は、前記第1及び第2の冗長メモリセルに対する試験状態が設定された時に、ハイレベルまたはローレベルの信号を出力することを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記出力回路は、前記第1及び第2の冗長メモリに対する試験信号と該試験信号に基づいて生成される内部制御信号のすべてが正常な論理値であることを判定する第1の論理ゲートと、正常な試験状態が設定されたときに前記第1の論理ゲートの出力信号によって出力信号をハイレベルまたはローレベルに固定する第2の論理ゲートとを備えたことを特徴とする請求項5記載の半導体記憶装置。

【請求項8】 メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態を設定するための試験信号を印加する電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において、

前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力するデータのタイミングとは異なるタイミングで出力するように構成したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、冗長メモリセルを有する半導体記憶装置、特にその冗長メモリセルの試験機能に関するものである。

【0002】

【従来の技術】

半導体記憶装置は、一連のウエハプロセスで多数の記憶回路を一括して形成することによって製造される。形成された個々の記憶回路は、アドレス信号によつて選択されるようになっている。従って、選択可能な記憶回路の内に1つでも欠陥があれば、その半導体記憶装置は使い物にならない不良品となってしまう。特に、個々の記憶回路の寸法が小型化され、かつ集積度が向上して記憶容量が大きくなるに従って、完全無欠な半導体記憶装置を製造することは困難になる。

【0003】

このため、半導体記憶装置が同一パターンの記憶回路を複数並べて構成されることに着目し、予め代替用の記憶回路を用意しておき、本来使用するべき記憶回路に欠陥が有った場合に、その代替用の記憶回路で置き換えるという方法が採用されている。

【0004】

図2は、冗長メモリセルを有する従来のDRAM (Dynamic Random Access Memory) の一例を示す構成図である。

このDRAMのメモリセルアレイ10は、平行に配置されたワード線WL_i（但し、 $i = 1 \sim m$ ）と冗長ワード線WL_rを備え、これらのワード線WL_i、WL_rに交差して平行に配置されたビット線対BL_j、／BL_j（但し、 $j = 1 \sim n$ 、また「／」は反転を意味する）と冗長ビット線対BL_r、／BL_rを有している。

【0005】

ワード線WL_iとビット線対BL_j、／BL_jの各交差箇所には、メモリセル(MC)_{11_{i,j}}が配置されている。また、冗長ワード線WL_rとビット線対BL_j、／BL_j及び冗長ビット線対BL_r、／BL_rの各交差箇所には、冗長メモリセル12_{r,k}（但し、 $k = 1 \sim n$ 、 r ）が配置され、更に、冗長ビット線対BL_r、／BL_rとワード線WL_i及び冗長ワード線WL_rの各交差箇所には、冗長メモリセル13_{1,r}（但し、 $1 = 1 \sim m$ 、 r ）が配置されている。

【0006】

各メモリセル11_{i,j}は、それぞれキャパシタとトランジスタで構成され、このトランジスタがワード線WL_iによってオン／オフ制御されて、ビット線BL

j , $/BL_j$ からキャパシタへのデータ（電荷）の書き込みや読み出しが行われるものである。各冗長メモリセル $12_{r,k}$, $13_{l,r}$ も同様である。

【0007】

このDRAMは、ワード線 WL_i を選択するために、行アドレス信号 RAD を解読して行選択信号 $R1, R2, \dots, Rm$ の内のいずれか1つにレベル“H”を出力する行アドレスデコーダ $D20$ を有している。行アドレスデコーダ $D20$ の出力側には、行置換回路 $D30$ とワード線ドライバ $D40$ が接続されている。

【0008】

行置換回路 $D30$ は、特定のワード線に接続されたメモリセル 11 に欠陥があるときに、冗長ワード線 WL_r をその代替として置き換えるための回路である。行置換回路 $D30$ は試験用のパッド $D31$ を有し、このパッド $D31$ は抵抗 $D32$ でプルダウンされると共に、インバータ $D33$ に接続されている。インバータ $D33$ の出力側は、否定的論理積ゲート（以下、「NAND」という） $D34$ の一方の入力側に接続されている。NAND $D34$ の他方の入力側には、行アドレス信号 RAD が活性化された時に、“H”となる制御信号 XR が与えられるようになっている。NAND $D34$ の出力側はノード $N1$ に接続されている。

【0009】

制御信号 XR は、更にPチャネルMOSトランジスタ（以下、「PMOS」という） $D35$ のゲートに与えられるようになっている。PMOS $D35$ のソースとドレインは、それぞれ電源電位 VCC とノード $N2$ に接続されている。

【0010】

ノード $N1$, $N2$ 間には、 m 組の直列接続されたNチャネルMOSトランジスタ（以下、「NMOS」という） $D36_i$ とヒューズ $D37_i$ が並列に接続され、これらの各NMOS $D36_i$ のゲートには、それぞれ行選択信号 R_i が与えられている。また、ノード $N2$ には、直列に接続された2個のインバータ $D38a, D38b$ からなる保持回路が接続されている。更に、ノード $N2$ にはインバータ $D39$ が接続され、このインバータ $D39$ の出力側から制御信号 XF が出力されて、ワード線ドライバ $D40$ に与えられるようになっている。

【0011】

ワード線ドライバ40は、各行選択信号R_iに対応したNAND41_iを有しており、これらのNAND41_iに一方の入力側に行選択信号R_iが与えられ、他方の入力側に制御信号XFが共通に与えられるようになっている。各NAND41_iの出力側は、それぞれ反転増幅器42_iを介してワード線WL_iに接続されている。更に、ワード線ドライバ40は、制御信号XFを入力とする反転増幅器43を有しており、この反転増幅器43の出力側に冗長ワード線WL_rが接続されている。

【0012】

各ビット線対BL_j, /BL_jは、それぞれセンスアンプ(SA)51_jに接続されると共に、スイッチ用のNMOS52_j, 53_jを介して、データ線DL, /DLに接続されている。また、冗長ビット線対BL_r, /BL_rは、センスアンプ51_rに接続されると共に、スイッチ用のNMOS52_r, 53_rを介して、データ線DL, /DLに接続されている。これらのNMOS52_j, 53_j, 52_r, 53_rは、列アドレス信号CADに基づいて、列アドレスデコーダ60と列切替回路70から制御されるようになっている。

【0013】

列アドレスデコーダ60は、列アドレス信号CADが与えられたときに、これを解読して列選択信号C1, C2, …, Cnの内のいずれか1つを“H”にして出力するものである。列アドレスデコーダ60の出力側には、列切替回路70が接続されている。

【0014】

列切替回路70は試験用のパッド71を有し、このパッド71は抵抗72でプルダウンされると共に、インバータ73に接続されている。インバータ73の出力側は、NAND74の一方の入力側に接続されている。NAND74の他方の入力側には、電源投入直後の一定時間だけ“L”となり、その後“H”に変化する初期信号INTが与えられるようになっている。NAND74の出力側はノードNCOに接続され、このノードNCOに制御信号YFDが出力されるようになっている。

【0015】

ノードNC0は、ヒューズ75₁を介してノードNC1に接続され、更にこのノードNC1がヒューズ75₂を介してノードNC2に接続されている。以下同様に、ヒューズ75₂, 75₃, …, 75_nを介して、ノードNC3, NC4, …, NCnが直列に接続されている。ノードNCnは、PMOS76を介して電源電位VCCに接続されると共に、PMOS77を介して電源電位VCCに接続されている。PMOS76のゲートには、制御信号YFDがインバータ78を介して与えられ、PMOS77のゲートには、ノードNCnの電位がインバータ79を介して与えられるようになっている。

【0016】

列切替回路70は、列アドレスデコーダ60から与えられる各列選択信号Cjに対応して、それぞれノードNCjのレベルでオン／オフ制御される2つのトランスマニアゲート（以下、「TG」という）80_j, 81_jを有している。TG80_jは、ノードNCjの“L”, “H”に応じて、オン状態及びオフ状態になるものである。一方、TG81_jは、ノードNCjの“L”, “H”に応じて、オフ状態及びオン状態となるものである。

【0017】

TG80_jの出力側は、NMOS52_j, 53_jのゲートに接続され、TG81_jの出力側は、NMOS52_{j+1}, 53_{j+1}のゲートに接続されている。また、列選択信号Cnに対応するTG81_nの出力側は、冗長ビット線対BLr, /BLrに対応するNMOS52_r, 53_rのゲートに接続されている。

【0018】

データ線DL, /DLは、リードアンプ(RA)90に接続されている。リードアンプ90は、データ線DL, /DLに接続されたビット線対BLj, /BLjの信号を増幅して“H”または“L”的データ信号DBを出力するもので、この出力側に出力バッファ100が接続されている。

【0019】

出力バッファ100は、データ信号DBが与えられるインバータ101と、このインバータ101の出力信号を反転して出力するPMOS102とNMOS103によるCMOSインバータで構成されており、このCMOSインバータから

出力データDOUTが出力されるようになっている。

【0020】

次に動作を説明する。

このDRAMは、すべてのヒューズ $37_1 \sim 37_m$, $75_1 \sim 75_n$ が切斷されていない状態で、半導体ウェハ上に形成される。従って、列切替回路70のパッド71に何も接続しない状態では、制御信号YFDは“H”となり、TG80 $_1 \sim 80_n$ はすべてオン状態、TG81 $_1 \sim 81_n$ はすべてオフ状態となる。これにより、列アドレスデコーダ60から出力される列選択信号C1~Cnは、それぞれビット線対BL1, /BL1~BLn, /BLnに対応するNMOS52 $_1$, 53 $_1 \sim 52_n$, 53 $_n$ のゲートに与えられる。

【0021】

また、行置換回路30のパッド31に何も接続しない状態で、行アドレス信号RADが与えられると、この行アドレス信号RADで選択された行選択信号Riと、制御信号XRが“H”となる。これにより、ノードN1は“L”となり、PMOS3.5はオフ状態となるので、行選択信号Riでオン状態となったNMOS36 $_i$ とヒューズ37 $_i$ を介してノードN2は“L”となり、制御信号XFは“H”となる。従って、行選択信号Riに対応するワード線WL $_i$ がワード線ドライバ40のNAND41 $_i$ と反転増幅器42 $_i$ によって駆動される。

【0022】

このように、すべてのヒューズ $37_1 \sim 37_m$, $75_1 \sim 75_n$ を切斷せず、かつ、パッド31, 71に何も接続しない状態では、行アドレス信号RADと列アドレス信号CADによって、本来のメモリセル $11_{i,j}$ がアクセスされる。従って、この状態で本来のメモリセル $11_{i,j}$ の試験が行われる。そして、本来のメモリセル $11_{i,j}$ に欠陥がなければ、このDRAMは良品とされる。

【0023】

もしも、特定のワード線（例えばWL2）に接続されるメモリセル $11_{2,j}$ に欠陥があると、冗長メモリセル $12_{r,k}$ の試験が行われる。また、特定のビット線対（例えば、BL3, /BL3）に接続されるメモリセル $11_{i,3}$ に欠陥があると、冗長メモリセル $13_{1,r}$ の試験が行われる。

【0024】

冗長メモリセル $12_{r,k}$ の試験では、行置換回路30のパッド31にプローブを介して“H”の試験信号RRTを印加する。これによりノードN1は“H”となる。また、行アドレス信号RADが与えられていないときは制御信号XRが“L”となってPMOS35がオン状態となり、ノードN2は“H”となる。ノードN2の電位は、インバータ38a, 38bによる保持回路で保持される。ここで行アドレス信号RADが与えられると、制御信号XRが“H”となってPMOS35はオフ状態となるが、ノードN2のレベルは“H”的ままで変化しない。これにより、制御信号XFが“L”となり、行アドレス信号RADの値とは無関係に、冗長ワード線WL_rのみが駆動される。これにより、冗長ワード線WL_rに接続される冗長メモリセル $12_{r,k}$ の試験を行うことができる。

【0025】

この結果、欠陥メモリセルを有するワード線WL2を、冗長メモリセル $12_{r,k}$ を有する冗長ワード線WL_rで置き換える場合、このワード線WL2に対応するヒューズ37₂を切断すれば良い。これにより、行アドレス信号RADによって行選択信号R2が“H”になったとき、ノードN2が“H”となり、制御信号XFが“L”となる。従って、ワード線WL2は駆動されず、これに代わって冗長ワード線WL_rが駆動される。

【0026】

一方、冗長メモリセル $13_{1,r}$ の試験では、列切替回路70のパッド71にプローブを介して“H”の試験信号CRTを印加する。これにより、NAND74から出力される制御信号YFDは“H”となり、ノードNC0～NCmはすべて“H”となって、列アドレスデコーダ60から出力される列選択信号Cnは、冗長メモリセル $13_{1,r}$ が接続される冗長ビット線対BL_r, /BL_rの接続制御用のNMOS52_r, 53_rのゲートに与えられるようになる。これにより、冗長ビット線対BL_r, /BL_rに接続される冗長メモリセル $13_{1,r}$ の試験を行うことができる。

【0027】

この結果、欠陥メモリセルを有するビット線対BL3, /BL3の使用を停止

して、冗長メモリセル $13_{1,r}$ を有する冗長ビット線対 $BL_r, /BL_r$ に切り替える場合、このビット線対 $BL_3, /BL_3$ に対応するヒューズ 75_3 を切斷すれば良い。これにより、ノード NC_0 の制御信号 YFD が“L”の時、ノード $NC_1 \sim NC_2$ が“L”となる。また、ノード $NC_3 \sim NC_n$ は、インバータ 78 の出力信号で制御される $PMOS76$ 等によって“H”となる。これにより、ビット線対 $BL_1, /BL_1$ 及び $BL_2, /BL_2$ は、列アドレスデコーダ 60 から出力される列選択信号 C_1, C_2 によってそれぞれ選択される。また、ビット線対 $BL_4, /BL_4 \sim BL_n, /BL_n$ は、列選択信号 $C_3 \sim C_{n-1}$ によってそれぞれ選択される。そして、冗長ビット線対 $BL_r, /BL_r$ が、列選択信号 C_n によって選択されることになる。

【0028】

【発明が解決しようとする課題】

しかしながら、従来のDRAMでは、次のような課題があった。

冗長メモリセル $12_{r,k}, 13_{1,r}$ の試験を行う場合、それぞれパッド $31, 71$ にプローブを接触させて、“H”の信号を印加するようにしているが、内部が正しく冗長メモリセルの試験が行われる状態に設定されているか否かを、外部から確認することができなかった。このため、試験回路の論理ミス、形成された回路パターンの不良、或いはプローブの接触不良等があって、正しく冗長メモリセルの試験が行われていないにも拘らず、冗長メモリセルが正常である旨の試験結果が出る場合があった。

【0029】

本発明は、前記従来技術が持っていた課題を解決し、冗長メモリセルの試験において内部に試験状態が正しく設定されているか否かをチェックすることができる試験回路を有する半導体記憶装置を提供するものである。

【0030】

【課題を解決するための手段】

前記課題を解決するために、本発明の内の第1の発明は、メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態を設定するための試験信号が印加され

る電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを備えた半導体記憶装置において、前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力されるデータの信号レベルとは異なるレベルで出力するように構成している。

【0031】

第2の発明は、第1の発明における出力回路を、冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータのハイレベルの電位を所定の電位よりも低い電位で出力するように構成している。

【0032】

第3の発明は、第1の発明における出力回路を、冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを反転して出力するように構成している。

【0033】

第4の発明は、第1の発明における出力回路を、試験信号と該試験信号に基づいて生成される内部制御信号の両方が正常な論理値であることを判定する第1の論理ゲートと、前記第1の論理ゲートの出力信号に基づいて前記冗長メモリセルから読み出されたデータを反転させて出力する第2の論理ゲートとで構成している。

【0034】

第1～第4の発明によれば、以上のように半導体記憶装置を構成したので、次のような作用が行われる。

冗長メモリセルの試験時に、外部から試験信号が電極に印加されて内部に正しい試験状態が設定されると、この冗長メモリセルから読み出されたデータは出力回路でレベルの変換が行われて、メモリセルから読み出されて出力される通常のデータの信号レベルとは異なるレベルで出力される。もしも内部に正しい試験状態が設定されないと、冗長メモリセルのデータは、通常のデータの信号レベルで出力される。従って、冗長メモリセルの試験が正常に行われているか否かを確認

することができる。

【0035】

第5の発明は、メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための第1及び第2の冗長メモリセルと、前記第1及び第2の冗長メモリセルの試験時に外部からそれぞれ試験状態を設定するための試験信号を印加する第1及び第2の電極と、前記メモリセル及び前記第1及び第2の冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において、前記出力回路は、前記第1及び第2の電極にそれぞれの試験信号が与えられて前記第1及び第2の冗長メモリセルに対する試験状態が設定された時に、一定レベルの信号を出力するように構成している。

【0036】

第6の発明は、第5の発明における出力回路を、第1及び第2の冗長メモリセルに対する試験状態が設定された時に、ハイレベルまたはローレベルの信号を出力するように構成している。

【0037】

第7の発明は、第5の発明における出力回路を、第1及び第2の冗長メモリに対する試験信号と該試験信号に基づいて生成される内部制御信号のすべてが正常な論理値であることを判定する第1の論理ゲートと、正常な試験状態が設定されたときに前記第1の論理ゲートの出力信号によって出力信号をハイレベルまたはローレベルに固定する第2の論理ゲートとで構成している。

【0038】

第5～第7の発明によれば、次のような作用が行われる。

冗長メモリセルの試験に先立って、第1及び第2の冗長メモリセルの試験信号を同時に印加する。これにより、内部に正常な試験状態が設定されれば、出力回路から一定レベルの信号が出力される。これにより、冗長メモリセルの試験状態が正しく設定できたか否かを確認することができる。

【0039】

第8の発明は、メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態

を設定するための試験信号を印加する電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において、前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力するデータのタイミングとは異なるタイミングで出力するように構成している。

【0040】

第8の発明によれば、次のような作用が行われる。

冗長メモリセルの試験状態を設定するための試験信号を電極に印加して、この冗長メモリセルからデータを読み出すと、出力回路によってメモリセルから出力されるデータとは異なったタイミングでデータが出力される。従って、データの出力タイミングを調べることで、冗長メモリセルの試験が正しく行われているか否かを調べることができる。

【0041】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の第1の実施形態を示すDRAMの構成図であり、図2中の要素と共に通の要素には共通の符号が付されている。

このDRAMは、冗長メモリセルを有するメモリセルアレイ10を有している。メモリセルアレイ10は、平行に配置されたm本のワード線WL_i（但し、_i=1～m）と1本の冗長ワード線WL_rを有している。また、これらのワード線WL_i、WL_rに交差するように、平行に配置されたn組のビット線対BL_j、／BL_j（但し、_j=1～n）と1組の冗長ビット線対BL_r、／BL_rを有している。

【0042】

ワード線WL_iとビット線対BL_j、／BL_jとの各交差箇所には、それぞれ本来のメモリセル11_{i,j}が配置されている。また、冗長ワード線WL_rと、ビット線対BL_j、／BL_j及び冗長ビット線対BL_r、／BL_rとの各交差箇所には、冗長メモリセル12_{r,k}（但し、_k=1～n、_r）が配置されている。更

に、冗長ビット線対 $B L_r, /B L_r$ と、ワード線 $W L_i$ 及び冗長ワード線 $W L_r$ との各交差箇所には、冗長メモリセル $13_{1,r}$ （但し、 $1 = 1 \sim m, r$ ）が配置されている。

【0043】

各メモリセル $11_{i,j}$ は、図示しないが、それぞれ1個のキャパシタと1個の絶縁ゲート型のトランジスタで構成されている。そして、トランジスタがワード線 $W L_i$ によってオン／オフ制御され、ビット線 $B L_j, /B L_j$ からキャパシタへのデータの書き込みまたは読み出しが行われるようになっている。各冗長メモリセル $12_{r,k}, 13_{1,r}$ も同様である。

【0044】

このDRAMは、ワード線 $W L_i$ を選択するための行アドレスデコーダ20を有している。行アドレスデコーダ20は、行アドレス信号RADが与えられたときに、これを解読して行選択信号 R_1, R_2, \dots, R_m の内のいずれか1つを“H”にして出力するものである。行アドレスデコーダ20の出力側には、行置換回路30とワード線ドライバ40が接続されている。

【0045】

行置換回路30は、特定のワード線 $W L_i$ またはこのワード線 $W L_i$ に接続されたメモリセル11に欠陥があるときに、そのワード線 $W L_i$ の使用を禁止して冗長ワード線 $W L_r$ をその代替として置き換えるための回路である。

【0046】

行置換回路30は試験用のパッド31を有し、このパッド31は抵抗32を介して接地電位GNDにプルダウンされると共に、インバータ33に接続されている。インバータ33の出力側は、2入力のNAND34の一方の入力側に接続されている。NAND34の他方の入力側には、行アドレス信号RADが活性化された時に、同時に活性化されて“H”となる制御信号XRが与えられるようになっている。NAND34の出力側はノードN1に接続されている。

【0047】

制御信号XRは、更にPMOS35のゲートに与えられるようになっている。PMOS35のソースとドレインは、それぞれ電源電位VCCとノードN2に接

続されている。

【0048】

ノードN1, N2間には、m組の直列接続されたNMOS_{36i}とヒューズ_{7i}が並列に接続され、これらの各NMOS_{36i}のゲートには、それぞれ行選択信号R_iが与えられている。また、ノードN2には、直列に接続された2個のインバータ_{38a}, _{38b}からなる保持回路が接続されている。更に、ノードN2にはインバータ₃₉が接続され、このインバータ₃₉の出力側から制御信号XFが出力されるようになっている。

【0049】

ワード線ドライバ₄₀は、各行選択信号R_iに対応した2入力のNAND_{41i}を有しており、これらのNAND_{41i}に一方の入力側に行選択信号R_iが与えられ、他方の入力側に制御信号XFが共通に与えられるようになっている。各NAND_{41i}の出力側は、それぞれ反転増幅器_{42i}を介してワード線WL_iに接続されている。更に、ワード線ドライバ₄₀は、制御信号XFを入力とする反転増幅器₄₃を有しており、この反転増幅器₄₃の出力側に冗長ワード線WL_rが接続されている。

【0050】

各ビット線対BL_j, /BL_jは、それぞれセンスアンプ_{51j}に接続されると共に、スイッチ用のNMOS_{52j}, _{53j}を介して、データ線DL, /DLに接続されている。また、冗長ビット線対BL_r, /BL_rは、センスアンプ_{51r}に接続されると共に、スイッチ用のNMOS_{52r}, _{53r}を介して、データ線DL, /DLに接続されている。これらのNMOS_{52j}, _{53j}, _{52r}, _{53r}は、列選択信号CADに基づいて、列アドレスデコーダ₆₀と列切替回路₇₀から制御されるようになっている。

【0051】

列アドレスデコーダ₆₀は、列アドレス信号CADが与えられたときに、これを解読して列選択信号C₁, C₂, …, C_nの内のいずれか1つを“H”にして出力するものである。列アドレスデコーダ₆₀の出力側には、列切替回路₇₀が接続されている。

【0052】

列切替回路70は試験用のパッド71を有しており、このパッド71は抵抗72を介して接地電位GNDにプルダウンされると共に、インバータ73に接続されている。インバータ73の出力側は、2入力のNAND74の一方の入力側に接続されている。NAND74の他方の入力側には、電源投入直後の一定時間だけ“L”となり、その後“H”に変化する初期信号INTが与えられるようになっている。NAND74の出力側はノードNC0に接続され、このノードNC0に制御信号YFDが出力されるようになっている。

【0053】

ノードNC0は、ヒューズ75₁を介してノードNC1に接続され、このノードNC1がヒューズ75₂を介してノードNC2に接続されている。以下同様に、ヒューズ75₂, 75₃, …, 75_nを介して、ノードNC3, NC4, …, NCnが接続されている。ノードNCnは、PMOS76を介して電源電位VCCに接続されると共に、PMOS77を介して電源電位VCCに接続されている。PMOS76のゲートには、制御信号YFDがインバータ78を介して与えられ、PMOS77のゲートには、ノードNCnの電位がインバータ79を介して与えられている。これらのPMOS76, 77、及びインバータ79による保持回路で、ノードNCnの電位が保持されるようになっている。

【0054】

列切替回路70は、列アドレスデコーダ60から与えられる各列選択信号Cjに対応して、それぞれノードNCjのレベルでオン／オフ制御される2つのTG80_j, 81_jを有している。TG80_jは、ノードNCjが“L”的時にオン状態となり、“H”的時にオフ状態となるものである。一方、TG81_jは、ノードNCjが“L”的時にオフ状態となり、“H”的時にオン状態となるものである。

【0055】

TG80_jの出力側は、ビット線対BLj, /BLjに対応するスイッチ用のNMOS52_j, 53_jのゲートに接続されている。一方、TG81_jの出力側は、ビット線対BLj+1, /BLj+1に対応するスイッチ用のNMOS52_{j+1}

, $53_j +1$ のゲートに接続されている。また、列選択信号 C_n に対応する TG_8
 1_n の出力側は、冗長ビット線対 BL_r , $/BL_r$ に対応するスイッチ用の $NMOS 52_r$, 53_r のゲートに接続されている。

【0056】

データ線 DL , $/DL$ は、リードアンプ 90 に接続されている。リードアンプ 90 は、データ線 DL , $/DL$ に接続されたビット線対 BL_j , $/BL_j$ の信号を増幅して “H” または “L” のデータ信号 DB を出力するものである。リードアンプ 90 の出力側には、出力バッファ $100A$ が接続されている。

【0057】

出力バッファ $100A$ は、2入力の否定的論理和ゲート（以下、「NOR」という） 104 を有しており、このNOR 104 の第1の入力側に、データ信号 DB が与えられるようになっている。一方、NOR 104 の第2の入力側には、4入力の論理積ゲート（以下、「AND」という） 105 が接続され、このAND 105 の入力側に、制御信号 YFD と試験信号 RRT , CRT が与えられると共に、制御信号 XF がインバータ 106 を介して与えられるようになっている。NOR 104 の出力側には、PMOS 102 とNMOS 103 によるCMOSインバータが接続されており、このCMOSインバータから出力データ DO_{OUT} が出力されるようになっている。

【0058】

次に、試験時の動作を説明する。

冗長メモリセルの試験に先立って、DRAMのパッド 31 , 71 に同時にプローブを接触させて、“H” レベルの信号を印加し、試験回路チェックを行う。この時、試験回路の論理ミス、形成された回路パターンの不良、或いはプローブの接触不良等が存在しなければ、試験信号 RRT , CRT 、及び制御信号 YFD は “H” となり、制御信号 XF は “L” となる。これにより、出力バッファ $100A$ のAND 105 の出力信号は “H” となり、出力データ DO_{OUT} は、リードアンプ 90 から出力されるデータ信号 DB に関係なく、常に “H” となる。

【0059】

もしも、試験回路の論理ミス、形成された回路パターンの不良、或いはプローブ

ブの接触不良等が存在すると、AND105の出力信号は“L”となり、出力データDOUTは、リードアンプ90から出力されるデータ信号DBに応じて、“H”，“L”に変化する。

【0060】

試験回路チェックにおいて、出力データDOUTが常に“H”であることを確認した後、冗長メモリセルの試験を行う。冗長メモリセルの試験は、前述した通り、パッド31，71の一方に“H”的信号を印加するので、出力バッファ100AのAND105の出力信号は“L”となる。これにより、出力データDOUTは、リードアンプ90から出力されるデータ信号DBに応じて“H”，“L”に変化し、従来通りの冗長メモリセルの試験が行われる。

【0061】

以上のように、この第1の実施形態のDRAMは、2つの試験信号RRT, CRTを同時に印加したときに、出力データDOUTを“H”に固定する出力バッファ100Aを有している。これにより、内部に冗長メモリセルの試験状態が正しく設定されているか否かを、チェックすることができるという利点がある。

【0062】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す出力バッファの回路図である。この出力バッファ100Bは、図1中の出力バッファ100Aに代えて設けられるもので、図1中の要素と共通の要素には共通の符号が付されている。

【0063】

この出力バッファ100Bは、試験信号RRT, CRT、制御信号YFD、及びインバータ106で反転された制御信号XFが入力される4入力のNAND107を有している。NAND107の出力側は、2入力のNAND108の一方の入力側に接続され、このNAND108の他方の入力側には、リードアンプ90から出力されるデータ信号DBが与えられるようになっている。NAND108の出力側には、PMOS102とNMOS103によるCMOSインバータが接続されており、このCMOSインバータから出力データDOUTが出力されるようになっている。

【0064】

この出力バッファ100Bでは、試験信号RRT, CRT、及び制御信号YFDが“H”で、制御信号XFが“L”的時にのみ、NAND107の出力信号が“L”となり、出力データDOUTは、データ信号DBに関係なく、常に“L”となる。その他の動作は、第1の実施形態と同様で、同様の利点を有する。

【0065】

(第3の実施形態)

図4 (a)～(d)は、本発明の第3の実施形態を示す出力バッファの回路図である。これらの各出力バッファ100C～100Fは、それぞれ図1中の出力バッファ100Aに代えて設けられるもので、図1中の要素と共に要素には共通の符号が付されている。

【0066】

図4 (a)の出力バッファ100Cは、図1中の出力バッファ100AにおけるAND105を3入力のAND105Aに代えて、制御信号YFDの入力を省略したものである。また、図4 (b)の出力バッファ100Dは、図1中の出力バッファ100AにおけるAND105を3入力のAND105Aに代えると共に、インバータ106を削除し、制御信号XFの入力を省略したものである。いずれも、制御信号XF, YFDを同時に確認することはできないが、その他の動作は第1の実施形態とほぼ同様で、同様の利点を有する。

【0067】

図4 (c)の出力バッファ100Eは、図3の出力バッファ100BにおけるNAND107を3入力のNAND107Aに代えて、制御信号YFDの入力を省略したものである。また、図4 (d)の出力バッファ100Fは、図3の出力バッファ100BにおけるNAND107を3入力のNAND107Aに代えると共に、インバータ106を削除し、制御信号XFの入力を省略したものである。いずれも、制御信号XF, YFDを同時に確認することはできないが、他の動作は第2の実施形態とほぼ同様で、同様の利点を有する。

【0068】

(第4の実施形態)

図5は、本発明の第4の実施形態を示す出力バッファの回路図である。この出力バッファ100Gは、図1中の出力バッファ100Aに代えて設けられるもので、図1中の要素と共通の要素には共通の符号が付されている。

【0069】

この出力バッファ100Gは、制御信号XFが与えられるインバータ106を有し、このインバータ106の出力側が2入力のNAND109の一方の入力側に接続されている。NAND109の他方の入力側には、試験信号RRTが与えられている。また、試験信号CRTと制御信号YFDは、2入力のNAND110に与えられている。NAND109, 110の出力側は、2入力のAND111の入力側に接続され、このAND111の出力側が、否定的排他的論理和ゲート（以下、「ENOR」という）112の一方の入力側に接続されている。ENOR112の他方の入力側には、データ信号DBが与えられている。ENOR112の出力側は、PMOS102とNMOS103によるCMOSインバータに接続され、このCMOSインバータから出力データDOUTが出力されるようになっている。

【0070】

この出力バッファ100Gでは、冗長メモリセルの試験時に試験信号RRTに“H”が与えられて制御信号XFが“L”になると、NAND109の出力信号が“L”となり、AND111の出力信号が“L”になる。これにより、データ信号DBが反転されて出力データDOUTとして出力される。同様に、試験信号CRTに“H”が与えられて制御信号YFDが“H”になると、NAND110の出力信号が“L”となり、AND111の出力信号が“L”になる。これにより、データ信号DBが反転されて出力データDOUTとして出力される。

【0071】

一方、冗長メモリセルの試験が行われず、時試験信号RRT, CRTが共に“L”的時には、NAND109, 110の出力信号は“H”となる。これにより、AND111の出力信号は“H”となり、データ信号DBは反転されずに出力データDOUTとして出力される。

【0072】

以上のように、この第4の実施形態の出力バッファ100Gは、冗長メモリセルの試験時に、データ信号DBを反転して出力データDOUTを出力するように構成している。これにより、通常のメモリセルと同様に冗長メモリセルの試験を行うことができ、その試験結果から内部に試験状態が正しく設定されているか否かをチェックすることができるという利点がある。

【0073】

(第5の実施形態)

図6は、本発明の第5の実施形態を示す出力バッファの回路図であり、図5中の要素と共に通の要素には共通の符号が付されている。

この出力バッファ100Hは、試験信号RRTと制御信号XFが与えられる2入力のNAND113と、試験信号CRTとインバータ114で反転された制御信号YFDが与えられる2入力のNAND115を有している。NAND113, 115の出力側は、2入力のNAND116の入力側に接続され、このNAND116の出力側が、ノードN11に接続されている。

【0074】

更に、この出力バッファ100Hは、電源電位VCCとノードN12の間に、並列に接続されたPMOS117とNMOS118を有しており、このPMOS117とNMOS118のゲートがノードN11に接続されている。また、ノードN12と接地電位GNDの間には、PMOS102とNMOS103によるCMOSインバータが接続されている。CMOSインバータの入力側には、データ信号DBがインバータ102を介して与えられ、出力側から出力データDOUTが出力されるようになっている。

【0075】

この出力バッファ100Hでは、冗長メモリセルの試験時に内部の制御信号XF, YFDが正しいレベルにならない場合、即ち、試験信号RRTが“H”で制御信号XFが“H”、または、試験信号CRTが“H”で制御信号YFDが“L”的場合にのみ、NAND116の出力信号（即ち、ノードN11）が“H”となる。これにより、PMOS117がオフ状態、NMOS118がオン状態となり、ノードN12の電位はVCC-Vt（但し、VtはNMOS118の閾値電

圧)となる。このため、出力データDOUTの“H”の電位は、電源電位VCCまで上昇せず、VCC-Vtとなる。

【0076】

一方、冗長メモリセルの試験構成が正常に設定された場合や、通常のメモリアクセス時には、ノードN11は“L”となる。これにより、PMOS117がオン状態、NMOS118がオフ状態となり、ノードN12は電源電位VCCとなって、出力データDOUTの“H”の電位は、電源電位VCCまで上昇する。

【0077】

以上のように、この第5の実施形態の出力バッファ100Hは、冗長メモリセルの試験時に、内部の制御信号が正しく設定されない場合に、出力用のCMOSインバータ回路の電源電圧を低下させる構成にしている。これにより、出力データDOUTの“H”の電位をチェックすることにより、内部に試験状態が正しく設定されているか否かをチェックすることができるという利点がある。

【0078】

(第6の実施形態)

図7は、本発明の第6の実施形態を示す出力バッファの回路図である。

この出力バッファ200は、従来のシンクロナスDRAM(以下、「SDRAM」という)用の出力バッファに適用したものであり、一点鎖線で囲んだ部分は、従来の出力タイミング調整回路210である。

【0079】

出力タイミング調整回路210は、データ信号DBをクロック信号CLKに同期して順次遅延させるためのフリップフロップ(以下、「FF」という)211, 212と、データ信号DBまたは遅延されたデータ信号を選択して出力するためのTG213, 214, 215で構成されている。

【0080】

出力タイミング調整回路210では、レイテンシ1の場合、制御信号LT1を“H”にしてTG213をオン状態にし、クロック信号CLKと同一クロック周期内に出力を行うようになっている。また、レイテンシ2, 3の場合、それぞれ制御信号LT2, LT3を“H”にして、TG214, 215をオン状態にし、

クロック信号CLKから1, 2クロック周期だけ遅らせて出力を行うようになっている。

【0081】

一方、この第6の実施形態の出力バッファ200では、更に、試験信号RRT, CRT、及び制御信号XF, YFDの論理を加え、冗長メモリセルの内部の試験状態が正しく設定されたときに、レイテンシ4に相当するタイミングで出力データDOUTを出力するための回路が追加されている。

【0082】

即ち、この出力バッファ200は、試験信号RRTとインバータ221で反転された制御信号XFが与えられる2入力のNAND222と、試験信号CRTと制御信号YFDが与えられる2入力のNAND223を有している。NAND222, 223の出力側は、2入力のNAND224に接続され、このNAND224から出力される制御信号LT4が、NOR225～227の一方の入力側に与えられるようになっている。NOR225～227の他方の入力側には、それぞれ制御信号L1～L3が与えられ、これらのNOR225～227から、それぞれ制御信号LT1～LT3が、出力タイミング調整回路210に与えられるようになっている。

【0083】

また、この出力バッファ200は、FF212の出力信号を更に1クロック周期だけ遅延されるためのFF228を有しており、このFF228の出力側に、制御信号LT4で制御されるTG229が接続されている。TG213～215, 229の出力側は、インバータ230を介してPMOS231とNMOS232によるCMOSインバータに接続され、このCMOSインバータから出力データDOUTが出力されるようになっている。

【0084】

この出力バッファ200では、冗長メモリセル試験時に内部の状態が正しく設定されていれば、NAND224から出力される制御信号LT4が“H”となり、TG229がオン状態となってレイテンシ4のタイミングで出力データDOUTが出力される。

【0085】

以上のように、この第6の実施形態の出力バッファ200は、冗長メモリセルの試験時に、内部の制御信号が正しく設定されていれば、レイテンシ4のタイミングで出力データDOUTを出力させる構成にしている。これにより、出力データDOUTの出力タイミングをチェックすることにより、内部に試験状態が正しく設定されているか否かをチェックすることができるという利点がある。

【0086】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(a) 図1中の行置換回路30の構成は、図示したものに限定されない。列切替回路70と同様の行切替回路を使用しても良い。また、図1中の列切替回路70に代えて、行置換回路30と同様の列置換回路を使用しても良い。

【0087】

(b) 出力バッファ100A等における論理ゲートの構成は、例示したものに限定されない。同様の条件設定ができるものであれば、どの様に論理ゲートを組み合わせて構成しても良い。

【0088】

(c) DRAMに適用した例を説明したが、SRAM(Static Random Access Memory)等のその他の方式の半導体記憶装置にも同様に適用できる。

【0089】

(d) 行方向と列方向に冗長メモリセルをそれぞれ1組ずつ備えたDRAMを例にして説明したが、例えば、行方向だけに冗長メモリセルを備えた半導体記憶装置にも同様に適用できる。また、同一方向に複数組の冗長メモリセルを備えた半導体記憶装置にも同様に適用できる。

【0090】

【発明の効果】

以上詳細に説明したように、第1の発明によれば、冗長メモリセルに対する試験状態が正しく設定された時に、この冗長メモリセルから読み出されたデータを、通常とは異なるレベルで出力する出力回路を有している。これにより、内部に

試験状態が正しく設定されているか否かをチェックすることができる。

【0091】

第2の発明によれば、内部に試験状態が正しく設定されているときに、冗長メモリセルから読み出されたデータのハイレベルの電位を所定の電位よりも低い電位で出力する出力回路を有している。これにより、第1と同様の効果がある。

【0092】

第3の発明によれば、内部に試験状態が正しく設定されているときに、冗長メモリセルから読み出されたデータを反転して出力する出力回路を有している。これにより、第1と同様の効果がある。

【0093】

第4の発明によれば、第1の発明における出力回路を第1と第2の論理との組み合わせて構成している。これにより、簡単な構成で、第1の発明の効果が得られる。

【0094】

第5の発明によれば、第1及び第2の電極に同時にそれぞれの試験信号が与えられて第1及び第2の冗長メモリセルに対する試験状態が設定された時に、一定レベルの信号を出力する出力回路を有している。これにより、実際の冗長メモリセルの試験に先立って、正しい試験状態を設定できるか否かをチェックすることができるという効果がある。

【0095】

第6の発明によれば、正しい試験状態が設定できたときに、ハイレベルまたはローレベルの信号を出力する出力回路を有している。これにより、試験状態の設定ができたか否かを簡単に調べることができる。

【0096】

第7の発明によれば、第5の発明における出力回路を第1と第2の論理との組み合わせて構成している。これにより、簡単な構成で、第5の発明の効果が得られる。

【0097】

第8の発明によれば、正しい試験状態が設定できたときに、本来のデータとは

異なるタイミングで冗長メモリセルのデータを出力する出力回路を有している。
これにより、第1の発明と同様の効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すDRAMの構成図である。

【図2】

従来のDRAMの一例を示す構成図である。

【図3】

本発明の第2の実施形態を示す出力バッファの回路図である。

【図4】

本発明の第3の実施形態を示す出力バッファの回路図である。

【図5】

本発明の第4の実施形態を示す出力バッファの回路図である。

【図6】

本発明の第5の実施形態を示す出力バッファの回路図である。

【図7】

本発明の第6の実施形態を示す出力バッファの回路図である。

【符号の説明】

10 メモリセルアレイ

20 行アドレスデコーダ

30 行置換回路

40 ワード線ドライバ

60 列アドレスデコーダ

70 列切替回路

100A～100H, 200 出力バッファ

104 NOR

105, 111 AND

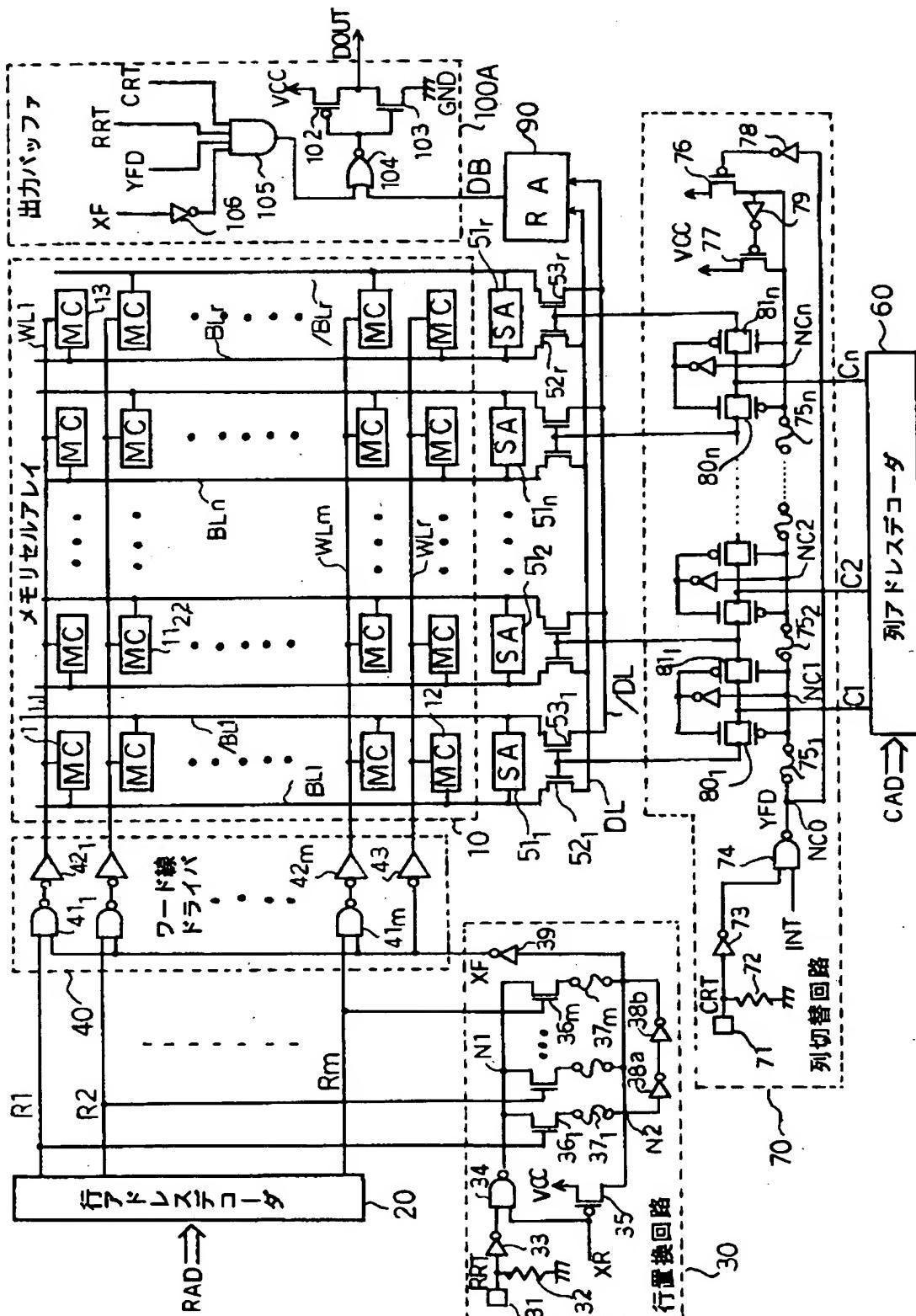
107～110, 113, 115, 116 NAND

112 ENOR

【書類名】

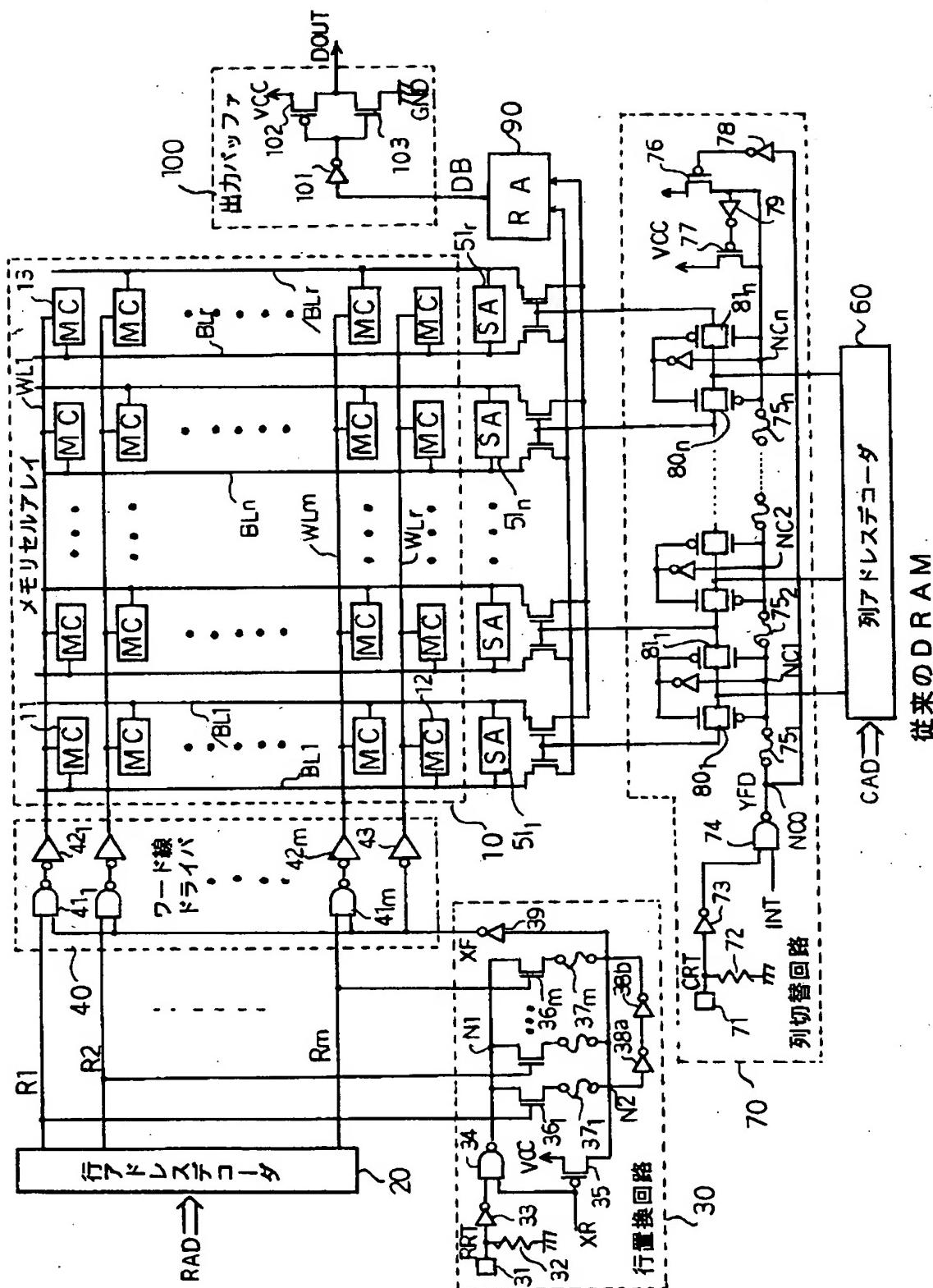
図面

【図1】

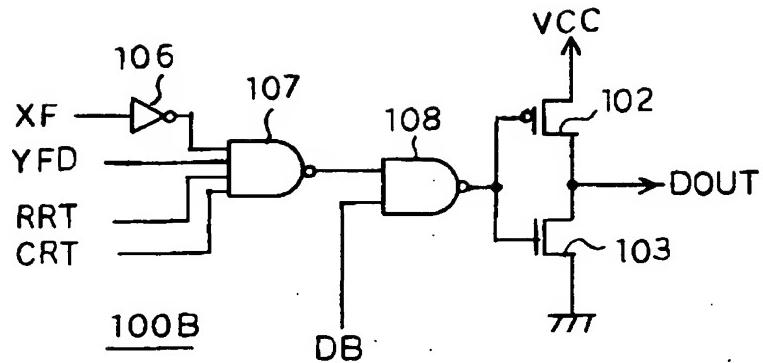


本発明の第1の実施形態のDRAM

【図2】

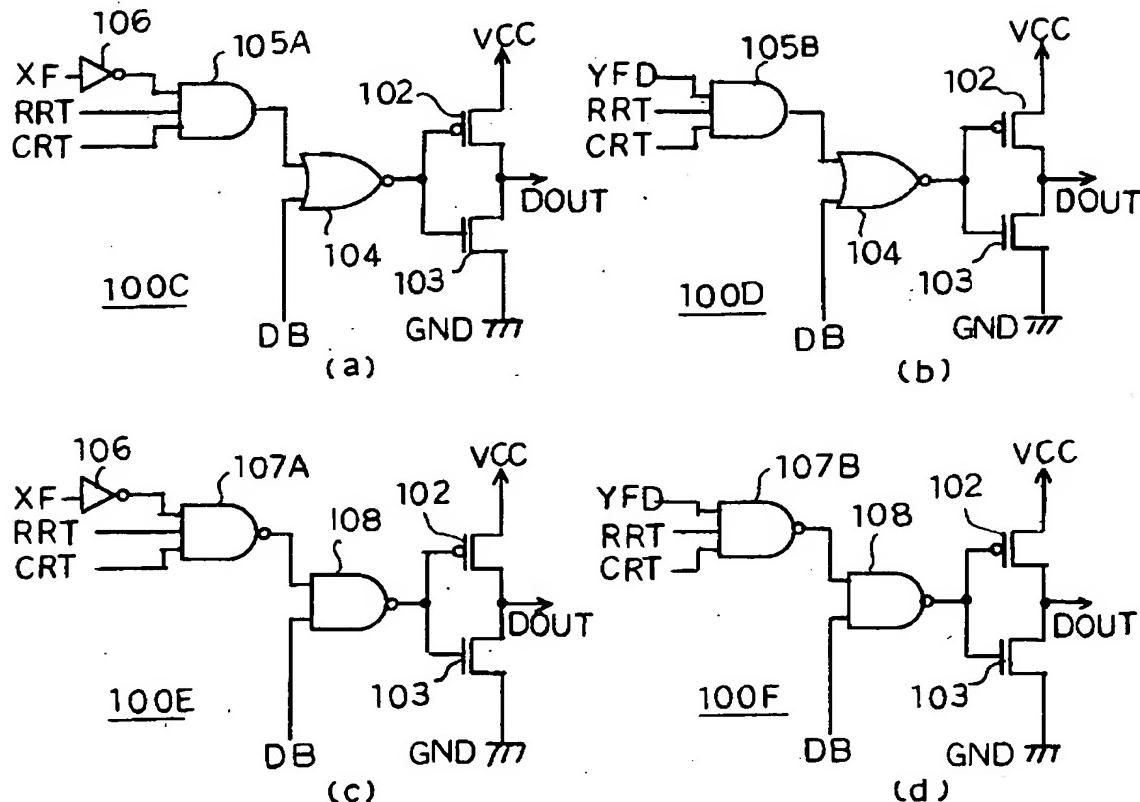


【図3】



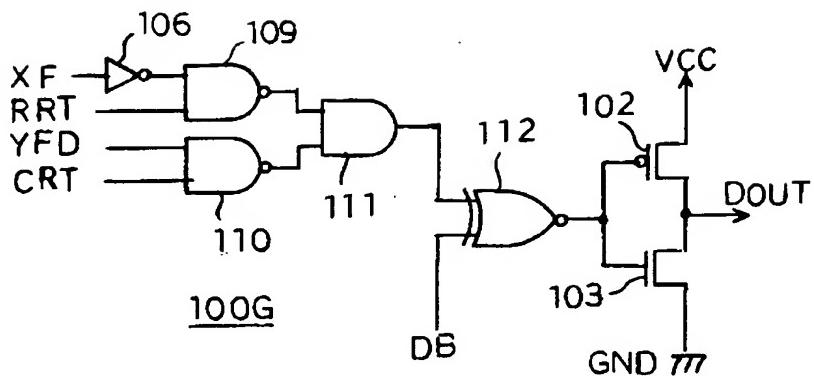
本発明の第2の実施形態の出力バッファ

【図4】



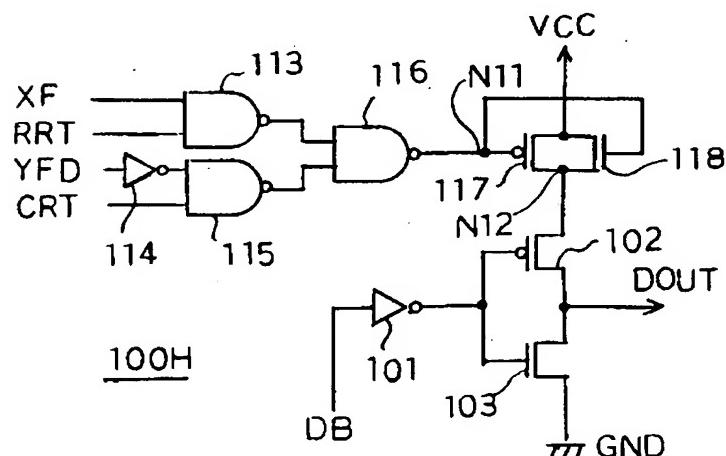
本発明の第3の実施形態の出力バッファ

【図5】



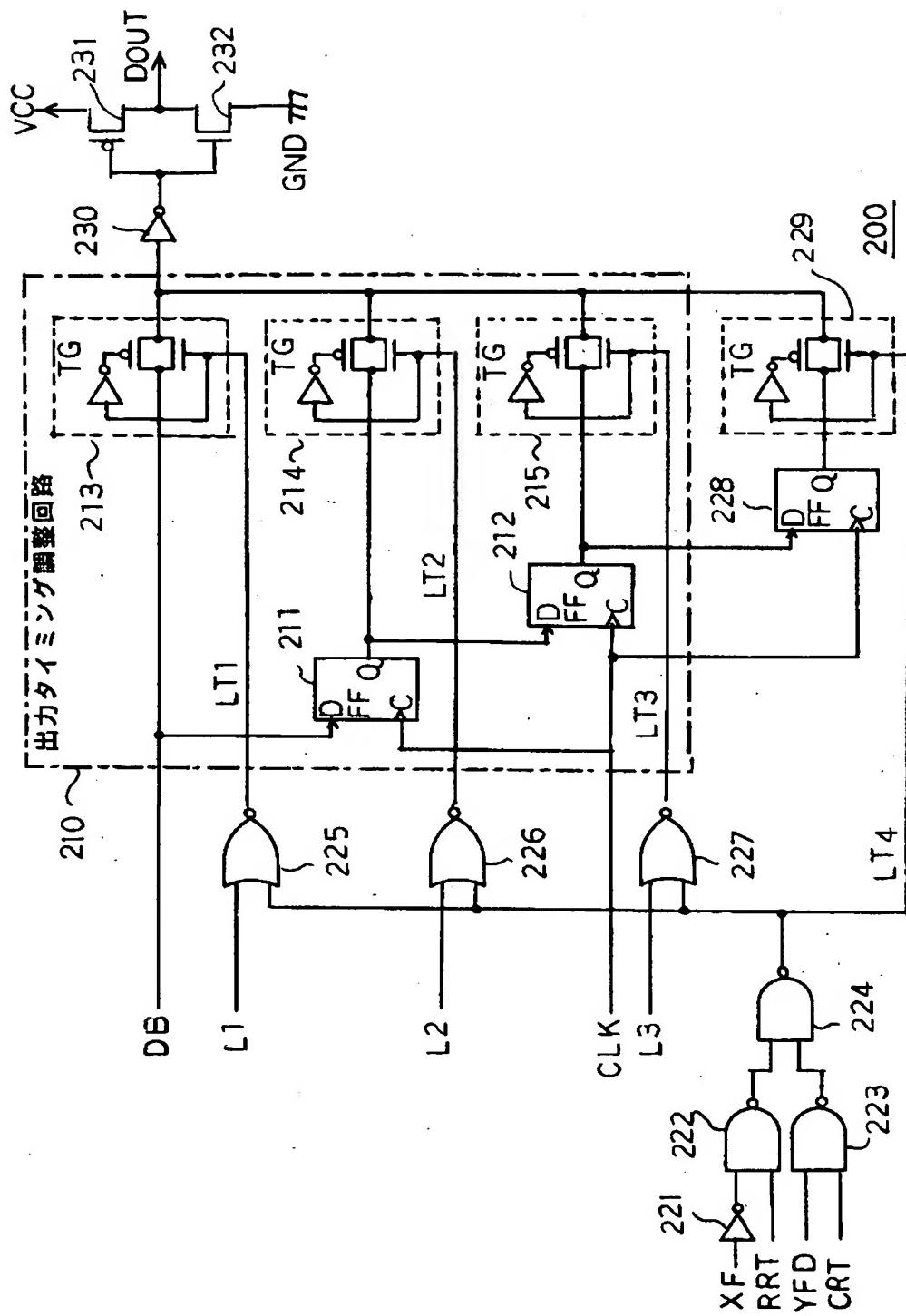
本発明の第4の実施形態の出力バッファ

【図6】



本発明の第5の実施形態の出力バッファ

【図7】



本発明の第6の実施形態の出力バッファ

【書類名】 要約書

【要約】

【課題】 冗長メモリセルの試験時に、内部に試験状態が正しく設定されているか否かをチェックできる半導体記憶装置を提供する。

【解決手段】 行方向の冗長メモリセルを試験するための試験信号RRTとこの試験信号RRTによって生成される制御信号XF、及び列方向の冗長メモリセルを試験するための試験信号CRTとこの試験信号CRTによって生成される制御信号YFDが、出力バッファ100Aに与えられる。2つの試験信号RRT、CRTを同時に“H”に設定したとき、内部が正しい試験状態になれば、制御信号XFは“L”、制御信号YFDは“H”となる。これにより、AND105の出力信号は“H”となり、出力バッファ100Aの出力データDOUTは、データ信号DBに無関係に“H”となる。これにより、試験状態が正しく設定されているか否かをチェックできる。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社

出願人履歴情報

識別番号 [591049893]

1. 変更年月日 1999年 6月17日

[変更理由] 名称変更

住 所 宮崎県宮崎郡清武町大字木原7083番地

氏 名 株式会社 沖マイクロデザイン